

# 高阶电荷泵锁相环环路滤波器的设计

赵益波, 冯久超

(华南理工大学 电子与信息学院, 广东 广州 510640)

**摘要:** 考虑到电荷泵锁相环离散采样特性, 本文提出了高阶电荷泵锁相环环路滤波器的模块化设计方法. 它可以将电荷泵锁相环设计成任意要求的阶和型. 这样的锁相环既能消除相位抖动, 又能跟踪大的频率阶跃或斜升的输入信号. 通过对所设计的电荷泵锁相环稳定性和特征分析, 确定了环路参数的选择范围, 得出 $n$ 阶 $n$ 型的锁相环均优于其他类型. 对两种类型的电荷泵锁相环的仿真, 结果表明了设计方法的有效性和分析方法的正确性. 本文的设计方法为高阶电荷泵锁相环环路滤波器的设计提供了重要的参考和指导.

**关键词:** 电荷泵锁相环; 环路滤波器; 稳定性; 相位抖动

**中图分类号:** TN431.1, TN911.8 **文献标识码:** A

## Design of loop filter for high order charge-pump phase-locked loops

ZHAO Yi-bo, FENG Jiu-chao

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou Guangdong 510640, China)

**Abstract:** Considering the characteristics of discrete-time sampling for charge-pump phase-locked loops(CPPLLs), we propose a blocking design method for loop filter in high order CPPLLs. By this method, the CPPLL of any optional order and type can be derived, and phase jitters can be eliminated. Also, high frequency step input or ramp input can be tracked. By analyzing the stability and characteristics of CPPLLs, the range of the candidate loop parameters can be determined, from which the obtained CPPLLs of  $n$ -th order and  $n$  type are superior to others. Effectiveness of the design method and correctness of the analysis method are validated by the simulations of two types of CPPLLs. The proposed method provides an important reference and guideline for the design of high order CPPLLs Loop filters.

**Key words:** CPPLL; loop filter; stability; phase jitter

### 1 引言(Introduction)

电荷泵锁相环(CPPLL)主要用作时钟信号的产生或恢复, 它在信号处理器、无线接收器, 串联转发器及磁盘驱动器等电子产品中有着广泛的应用<sup>[1~6]</sup>. 与传统锁相环(PLL)相比, CPPLL有更宽的跟踪范围, 兼有辅助频率捕获特性, 成本低, 在理论上存在零静态误差等优点<sup>[1]</sup>. 此外, 电荷泵锁相环环路滤波器具有柔韧性的设计方法, 可以分解成各种设计参数, 如环路带宽、锁相范围, 阻尼因子等. 尽管CPPLL有很多优点(即使不考虑CPPLL的具体应用环境), 由于电荷泵锁相环的离散采样的非线性特征, 这使得它的特性比PLL复杂得多, 其建模和分析也变得较为困难, 很难得到CPPLL的基本理论结果<sup>[7]</sup>. CPPLL主要有两种建模分析方法, 第一种是离散建模法<sup>[7~9]</sup>, 该方法考虑到CPPLL的离散采样性质. 文献[7]和文献[8]各自用不同的建模方法得到CPPLL的 $z$ 域模型, 然后以此来分析锁相环路的稳定极限范围. 另一种是小信号连续时间建模方法<sup>[7]</sup>, 这种建模方法是在

环路锁定或接近锁定即输出输入频率接近的情况下, 以及环路带宽远小于输入信号频率时, 得到环路相位 $s$ 域模型, 然后确定环路的开环或闭环传递函数, 进一步分析出CPPLL的跟踪性能和稳定性.

通常情况下, CPPLL环路滤波器的参数都是在稳态(锁定状态)条件下来确定的, 主要集中于具体的某一无源或有源环路滤波器参数的设计<sup>[10~14]</sup>, 而且没有考虑到环路阶和型的要求, 因此很难应用到高阶CPPLL的设计. 文献[15]给出了锁定状态下PLL环路滤波器的一种一般性设计方法, 该方法能有效地将PLL从一阶扩展到任意阶和型. 由于CPPLL与PLL有不同的特性, 在实际设计CPPLL环路滤波器时, 不仅要考虑CPPLL带宽, 还要考虑其离散采样带来的相位抖动问题, 因而文献[15]提出的方法不适用于设计CPPLL.

事实上, 对高阶CPPLL, 考虑环路滤波器特性参数的具体电路的实现是没有意义的, 因为随着集成电路(IC)技术的发展, 很多传递函数可用模块化设计

实现. 针对已有的电荷泵锁相环滤波器的设计方法, 基本上都是针对具体的无源或有源滤波器, 这样不仅阶数较低(也不能扩展到高阶锁相环), 而且没有考虑到阶和型的要求及环路抖动问题. 本文提出一种高阶CPPLL环路滤波器的模块化设计方法, 该方法既能有效地满足CPPLL的特性及任意高阶和型的设计要求, 又能消除抖动, 具有普遍性的指导意义.

## 2 CPPLL 线性化模型及其特性分析 (Linearization model and characteristic analysis of CPPLL)

电荷泵锁相环的基本结构如图1所示. 它由鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LF)、压控振荡器(VCO)、分频器构成.

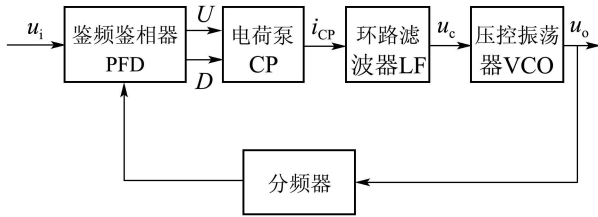


图1 电荷泵锁相环的原理框图  
Fig. 1 Schematic diagram of CPPLL

PFD主要根据参考时钟输入 \$u\_i\$ 和分频器输出 \$u\_o\$ 触发沿(上升或者下降)的相位误差产生时钟脉冲信号, 有3种输出状态(图2显示了输入输出波形示意图). 若 \$u\_i\$ 超前于 \$u\_o\$, 在 \$u\_i\$ 上升沿到达时, PFD输出端 \$U\$ 为高电平(UP), 下一个分频器输出 \$u\_o\$ 上升沿到达时, 输出端 \$U\$ 输出为低电平(DN). 若 \$u\_o\$ 超前于 \$u\_i\$, 则在 \$u\_o\$ 的上升沿到来时, \$D\$ 为高电平, 下一个 \$u\_i\$ 上升沿到来时, \$D\$ 变为低电平. PFD两输出端 \$U, D\$ 能同时为DN, 但不能同时为UP. 设CPPLL接近于锁定状态, 定义相位误差为 \$\theta\_e = \theta\_i - \theta\_o\$, 以输入为参考信号, 则脉冲持续时间为

$$t_p = \frac{|\theta_e|}{\omega_i} \quad (1)$$

电荷泵(CP)的主要作用是将数字逻辑脉冲转换为模拟电流. 当 \$U, D\$ 同时为DN时, CP输出为高阻状态. 当PFD逻辑输出为UP或者DN时, CP给环路滤波器充放电, 形成正或负的荷泵电流传递给环路滤波器, 其大小为<sup>[7]</sup>

$$i_{CP} = \begin{cases} I_{CP} \operatorname{sgn} \theta_e, & 0 < t < t_p, \\ 0, & t_p < t < T_i. \end{cases} \quad (2)$$

式中: \$T\_i\$ 为输入信号周期, \$\operatorname{sgn}(\cdot)\$ 为符号函数, 取值为1或-1, \$I\_{CP}\$ 为荷泵电流. 当环路锁定而且环路带宽远小于输入信号频率时, 只需考虑系统平均行为, 这时电荷泵的平均输出电流为

$$i_d = \frac{I_{CP} \theta_e}{2\pi} = k_d \theta_e, \quad (3)$$

其中 \$k\_d = I\_{CP}/2\pi\$ 为电荷泵增益. 环路滤波器在CPPLL的稳定性、纹波与噪声消除方面起着重要作用. 设环路滤波器的传递函数为 \$F(s)\$, 则施加到VCO的控制电压为 \$U\_c(s) = I\_d(s)F(s)\$, \$U\_c(s)\$ 和 \$I\_d(s)\$ 分别为控制电压 \$u\_c(t)\$ 和 \$i\_d(t)\$ 的拉氏变换. VCO的输出频率为 \$\omega(t) = \omega\_o + k\_o u\_c(t)\$, \$\omega\_o\$ 为自由振荡频率, \$k\_o\$ 为VCO增益灵敏度, 单位为 \$\operatorname{rad} \cdot (\text{s} \cdot \text{V})^{-1}\$. 当输入输出以 \$\omega\_o\$ 为参考频率时, VCO的输出相位为

$$\theta_o(s) = \frac{k_o U_c(s)}{s}, \quad (4)$$

环路的 \$s\$ 域相位模型如图3所示, \$N\$ 为分频倍数, 不失一般性, 可设 \$N = 1\$, 则它的环路开环传递函数和闭环传递函数分别为

$$H_o(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{k_o I_{CP} F(s)}{2\pi s}, \quad (5)$$

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{H_o(s)}{1 + H_o(s)} = \frac{k_o I_{CP} F(s)}{2\pi s + k_o I_{CP} F(s)}. \quad (6)$$

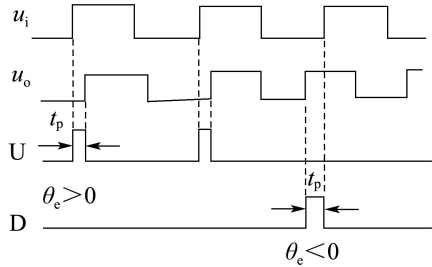


图2 输入输出波形示意图  
Fig. 2 Schematic diagram of input and output waveforms

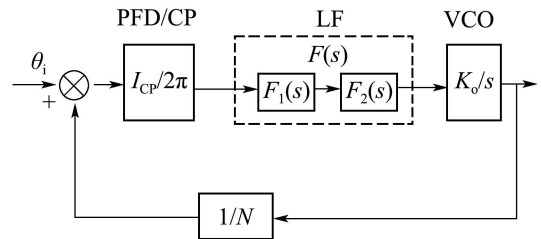


图3 稳态CPPLL相位频域模型  
Fig. 3 Phase frequency model of steady CPPLL

首先考虑 CPPLL 在 \$F(s) = 1\$ (即无环路滤波器)情况下的一些特性, 此时CPPLL为一阶系统. 由图2可看出, PFD的输出是正或负脉冲信号, 脉冲更新频率接近于输入频率. 由于没有附加的滤波器, 环路带宽仅受到VCO和PFD带宽的限制, 使得CP输出包含大量的纹波电流, 此时不能用小信号平均模型近似表示系统, 环路不能有效地滤除噪声. 此外, 该环路存在的另一个问题是: 在一个PFD周期内, 荷泵电流脉冲会引起瞬时控制电压跳变 \$\Delta u\_c = I\_{CP} R\$,

$R$ 为VCO输入阻抗或CP输出负载. 当这个电压跳变加到VCO时, 就会出现频偏, 引起相位抖动并容易使VCO过载<sup>[7]</sup>.

### 3 CPPLL环路滤波器的设计(Design for loop filter of CPPLL)

#### 3.1 环路滤波器的模块化设计方法(Blocking design method for loop filter of CPPLL)

本文着重于环路滤波器的模块化设计方法, 不考虑选择无源还是有源环路滤波器等具体实现问题. 根据第2节的分析结果, 将LF设计分成两步进行: 先选择低通滤波函数 $F_1(s)$ 以得到期望的低频带宽, 滤除纹波和消除环路脉冲电流引起的瞬时电压跳变. 然后级联比例积分(PD)控制器 $F_2(s)$ , 利用其积分项消除稳态跟踪误差, 以跟踪大的相位阶跃或频率误差带来的误差, 尽量不影响其余参数. 最后环路滤波器可表示为 $F(s) = F_1(s) \cdot F_2(s)$ . 取电荷泵平均量后环路的 $s$ 域模型如图3所示.

先考虑一阶环路滤波器, 最简单的一阶低通滤波器的传递函数为

$$F_1(s) = \frac{1}{1 + \tau_1 s}, \quad (7)$$

其截止频率为 $1/\tau_1$ . 时间参数 $\tau_1$ 的选择必须使滤波器的带宽远低于输入信号频率, 若考虑环路的噪声,  $\tau_1$ 的选择还要考虑使环路开环增益下降速率高于噪

声下降速率<sup>[15]</sup>. 若不使用PI控制器, 即 $F_2(s) = 1$ , 则 $F(s) = F_1(s)$ , 因为VCO在原点引入了一个极点, 所以CPPLL为二阶I型. 若取PI传递函数为

$$F_2(s) = k_2 + \frac{1}{s\tau_2}. \quad (8)$$

这时系统变为三阶II型. 当时间参数满足 $\tau_2$ 足够大时, PI控制器近似于全通函数, 所以PI的加入几乎不影响环路滤波器带宽. 若进一步改善滤波效果, 可以采用二阶低通滤波器或高阶低通. 如取

$$F_1(s) = \frac{1}{1 + \tau_1 s} \cdot \frac{1}{1 + \tau_3 s} \text{ 或} \\ F_1(s) = \frac{1}{1 + \tau_1 s + \tau_3 s^2}. \quad (9)$$

若PI控制器仍采用式(8), 此时CPPLL变为四阶II型. 环路只增加了阶数, 而没有增加型数. 二阶低通滤波器的设计已很成熟, 例如, 可采用经典的巴特沃思或Bessel滤波器. 若PI控制器为

$$F_2(s) = (k_2 + \frac{1}{s\tau_2})(k_4 + \frac{1}{s\tau_4}). \quad (10)$$

低通滤波器仍采用式(7), 则环路变为四阶III型. 因此, 仿照上述设计方法, 可以设计出任意高阶 $n$ 阶型, 或 $n+1$ 阶 $n$ 型, 或 $n+2$ 阶 $n$ 型CPPLL. 表1列出了 $n$ 阶 $n$ 型,  $n+1$ 阶 $n$ 型,  $n+2$ 阶 $n$ 型CPPLL的开环和闭环传递函数.

表1 三阶CPPLL的传递函数及其稳定性条件

Table 1 Transfer function and stability condition of the third order CPPLL

	$n$ 阶 $n$ 型	$n+1$ 阶 $n$ 型	$n+2$ 阶 $n$ 型
环路滤波器 $F(s)$	$(k_2 + \frac{1}{s\tau_2})(k_4 + \frac{1}{s\tau_4})$	$(\frac{1}{1 + s\tau_1})(k_2 + \frac{1}{s\tau_2})$	$\frac{1}{1 + \tau_1 s} \cdot \frac{1}{1 + \tau_3 s}$
开环传递函数 $H_o(s)$	$\frac{k_o I_{CP}}{2\pi\tau_2\tau_4} \frac{F_{24}(s)}{s^3}$	$\frac{k_o I_{CP}}{2\pi\tau_2} \frac{1 + k_2\tau_2 s}{s^2(1 + \tau_1 s)}$	$\frac{k_o I_{CP}}{2\pi s F_{13}(s)}$
闭环传递函数 $H(s)$	$\frac{k_o I_{CP} F_{24}(s)}{2\pi\tau_2\tau_4 s^3 + k_o I_{CP} F_{24}(s)}$	$\frac{k_o I_{CP}(1 + k_2\tau_2 s)}{H_{32}(s)}$	$\frac{k_o I_{CP}}{2\pi s + F_{13}(s) + k_o I_{CP}}$
环路稳定条件	$k_2 k_4 (k_2 \tau_2 + k_4 \tau_4) > 2\pi$	$k_2 \tau_2 > \tau_1$	$\tau_1 \tau_3 k_o I_{CP} < 2\pi$

表1中:

$$F_{24}(s) = (1 + k_2\tau_2 s)(1 + k_4\tau_4 s), \\ F_{13}(s) = (1 + \tau_1 s)(1 + \tau_3 s), \\ H_{32}(s) = 2\pi\tau_2\tau_1 s^3 + 2\pi\tau_2 s^2 + \\ k_o k_2 I_{CP} \tau_2 s + k_o I_{CP}.$$

不仅如此, 实际应用中的环路滤波器也可利用本文所提出的设计方法进行综合, 如最为常用的二阶无源低通滤波器, 其结构为一电容 $C_1$ 和电阻 $R$ 串联后再和一小电容 $C_2$ 并联<sup>[13]</sup>, 传递函数为

$$F(s) = \frac{s + 1/\tau_1}{C_2 s (s + 1/\tau_2)}, \quad (11)$$

其中:  $\tau_1 = RC_1$ ,  $\tau_2 = R \frac{C_1 C_2}{C_1 + C_2}$ . 令

$$\tau'_1 = \tau_2, \quad k'_2 = \tau_2 / C_2, \quad \tau'_2 = C_2 \tau_1 / \tau_2,$$

就可将 $F(s)$ 变型为

$$F(s) = (\frac{1}{1 + \tau_2 s})(\frac{\tau_2}{C_2} + \frac{\tau_2}{s C_2 \tau_1}) = \\ (\frac{1}{1 + \tau'_1 s})(k'_2 + \frac{1}{s\tau'_2}). \quad (12)$$

从控制角度来看, PFD输出信号中包含相位误差信号及其一阶微分(相位阶跃)、二阶微分(频率阶跃)、三阶微分(频率斜升)等, 通过CP和环路滤波器转化为瞬时电压跳变, 引起相位抖动, 从

而造成VCO过载,并有很大的剩余稳态误差.由于 $F_1(s)$ 有一容性阻抗与VCO并联且PI控制器在原点引入了极点,所以环路滤波器可消除相位抖动和稳态误差<sup>[16]</sup>,但PI控制器中单独积分项控制会给环路带来不稳定,通过引入比例项可以缓解.滤波器在原点的极点数即锁相环的型数增加有利于滤除频率阶跃或频率斜升带来的误差,但相位裕量减小,稳定性降低.

### 3.2 稳定性分析(Stability analysis)

增加低通滤波器阶数可增加滤波效果,并能有效地去除抖动和噪声干扰.级联多个PI控制器,可跟踪大的频率阶跃或斜升,实现零静态误差,可提高跟踪范围.然而随着环路阶数的增加, $F(s)$ 多个极点的引入,使得相位裕量减小,系统稳定性退化.将滤波器的传递函数 $F(s)$ 代入式(5)(6),能得到环路的开环和闭环传递函数.当开环传递函数的相位裕量大于零或闭环传递函数的特征根实部小于零时,系统是稳定的.在实际应用中,最常用的CPPLL为三阶II型,其LF的传递函数为

$$F(s) = \left(\frac{1}{1 + \tau_1 s}\right)\left(k_2 + \frac{1}{s\tau_2}\right). \quad (13)$$

若 $\tau_2$ 足够大, $F(s)$ 的截止频率 $\omega_c \approx 1/\tau_1$ ,与 $F_1(s)$ 截止频率近似相等,所以加入PI控制器几乎不影响低通滤波器带宽.环路闭环传递函数为

$$H(s) = \frac{k_o I_{CP}(1 + k_2 \tau_2 s)}{2\pi \tau_2 \tau_1 s^3 + 2\pi N \tau_2 s^2 + k_o k_2 I_{CP} \tau_2 s + k_o I_{CP}}. \quad (14)$$

特征方程为

$$2\pi \tau_2 \tau_1 s^3 + 2\pi \tau_2 s^2 + k_o k_2 I_{CP} \tau_2 s + k_o I_{CP} = 0. \quad (15)$$

利用劳斯判据<sup>[17]</sup>,可得环路稳定性条件为

$$k_2 \tau_2 > \tau_1. \quad (16)$$

采取相同的分析方法可得 $n$ 阶 $n$ 型, $n+2$ 阶 $n$ 型CPPLL的稳定性条件,分别列于表1中.由表1可知,若CPPLL为 $n$ 阶 $n$ 型,由于比例积分控制器引入了零点(相位超前),所以环路的稳定性得到保证.然而,因为没有容性阻抗和VCO并联,所以不能消除相位抖动.若CPPLL为 $n+2$ 阶 $n$ 型,一种情况如表1所示那样,只有低通滤波器,这样不能消除频率阶跃或斜升带来稳态误差.为解决此问题可继续级联PI控制器,如四阶II型,五阶III型等.但由于引入了多个极点,环路稳定性下降.因此,环路的最好性能是 $n+1$ 阶 $n$ 型.

## 4 仿真试验(Simulation experiments)

为验证本文提出的设计方法的正确性,分别以三阶II型和四阶II型为例进行仿真.仿真参数为:输入信号的频率 $f = 10$  MHz,压控振荡器灵敏度增益 $k_o = 3.3 \times 10^7$  rad/(s·V),荷泵电流 $I_{CP} = 200$   $\mu$ A,频差为 $\Delta\omega = 10$  kHz.对三阶II型滤波器低通,取 $\tau_1 = 60$   $\mu$ s,  $\tau_2 = 0.4$  s,  $k_2 = 100$ .取低通滤波器截止频率为 $\omega_c = 1/\tau_1 = 10^5/6$  rad/s  $< 2\pi f/10$ .基于MATLAB仿真软件进行仿真,仿真模型采用文献[18]所示结构.图4为 $t = 0$ 时刻频率阶跃下的VCO控制电压曲线,表明CPPLL很快地收敛到稳定状态,且动态特性和稳定性较好.图5是输入输出方波波形,它表明环路具有良好的频率和相位跟踪特性.

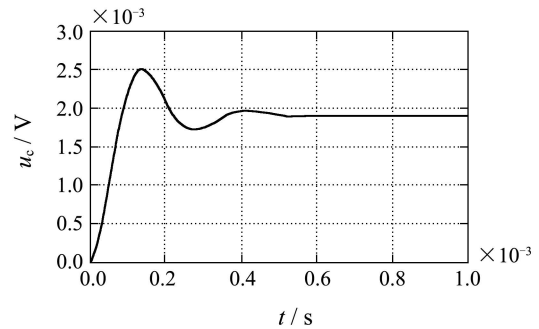


图4 三阶II型CPPLL控制电压曲线  
Fig. 4 Controlled voltage waveform of the third order II type CPPLL

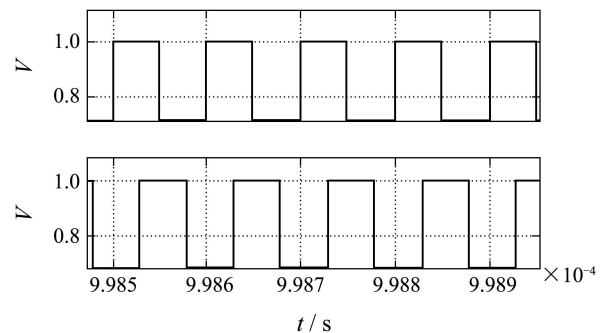


图5 CPPLL锁定时输入输出波形  
Fig. 5 Input and output waveforms of locked CPPLL

对四阶II型,选用二阶巴特沃斯低通滤波器,即 $\tau_1 = \sqrt{2}/\omega_c$ ,  $\tau_3 = 1/\omega_c^2$ ,截止频率选为 $\omega_c = \sqrt{2} \times 10^6$  rad/s,仿真结果如图6,7所示.从图中可看出,CPPLL同样有良好的跟踪特性.比较图4与图6,四阶II型CPPLL动态响应迅速,控制电压很快收敛到稳定状态,因为二阶低通滤波器滤波特性比一阶低通滤波器滤波特性好.但由于引入两个极点,稳定性降低,控制电压稳态误差大于三阶II型.

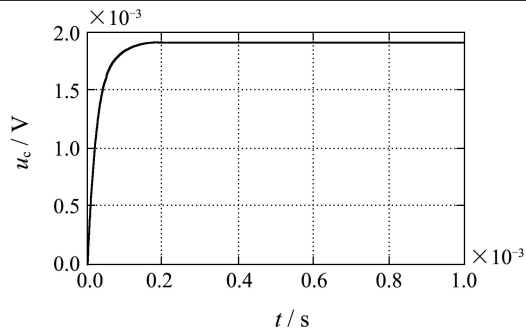


图6 四阶II型CPPLL控制电压曲线

Fig. 6 Controlled voltage waveform of the fourth order II type CPPLL

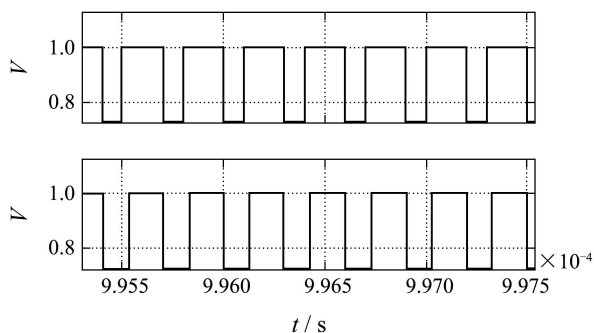


图7 CPPLL锁定时输入输出波形

Fig. 7 Input and output waveforms of locked CPPLL

## 5 结论(Conclusions)

采用模块化分步设计环路滤波器的方法, 在满足滤波器带宽和解决相位抖动消除问题后, 用级联PI控制器以消除稳态误差, 并跟踪大的频率阶跃或斜升. 对所设计的高阶CPPLL的特性进行了分析和仿真, 表明该滤波器的动态性能良好. 该方法为实际设计高价CPPLL时提供了一种有益的参考.

## 参考文献(References):

- [1] GARDNER F. *Phase Lock Techniques*[M]. New York: Wiley, 1979.
- [2] YOUNG I, GREASON J, WONG K. A PLL clock generator with 5 to 10MHz of lock range for microprocessors[J]. *IEEE Journal of Solid-State Circuits*, 1992, 27(10): 1599 – 1607.
- [3] CRANINCKX J, STEYAERT M. A fully integrated CMOS DCS-1800 frequency synthesizer[J]. *IEEE Journal of Solid-State Circuits*, 1998, 33(11): 2054 – 2065.
- [4] RATEGH H, SAMAVATI H, LEE T. A CMOS frequency synthesizer with an injection-locked frequency divider for a 5-GHz wireless LAN receiver[J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(5): 780 – 787.
- [5] MEGHELLI M, PARKER B, AINSPAN H, et al. SiGe BiCMOS 3.3-V clock and data recovery circuits for 10-Gb/s serial transmission systems[J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(11): 1992 – 1995.

- [6] REIS A D, ROCHA J F, GAMEIRO A S, et al. Synchronizers based on carrier phase lock loop and on symbol phase lock loop[C] // *Proceedings of IEEE International Conference on Electronics, Circuits and Systems*. Piscataway, NJ: IEEE, 2008: 279 – 282.
- [7] GARDNER F. Charge pump phase-locked loops[J]. *IEEE Transactions on Communications*, 1980, COM-28 (10): 1849 – 1858.
- [8] HEIN J P, SCOTT J W. z-domain model for discrete-time PLLs[J]. *IEEE Transactions on Circuits and Systems*, 1988, 35(10): 1393 – 1400.
- [9] HANUMOLU P, BROWNLEE M, MAYARAM K. Analysis of charge-pump phase-locked loops[J]. *IEEE Transactions on Circuits and Systems-I*, 2004, 51(9): 1665 – 1674.
- [10] 姜梅, 刘三清, 李乃平, 等. 用于电荷泵锁相环的无源滤波器的设计[J]. *微电子学*, 2003, 33(4): 339 – 343.  
(JIANG Mei, LIU Sanqing, LI Naiping, et al. A passive filter for charge pump phase-locked loop[J]. *Microelectronics*, 2003, 33(4): 339 – 343.)
- [11] 张涛, 陈亮. 电荷泵锁相环环路滤波器参数设计与分析[J]. *现代电子技术*, 2008, 272(9): 87 – 90.  
(ZHANG Tao, CHEN Liang. Parameters' design and analysis of the charge pump phase-locked loop's loop filter[J]. *Modern Electronics Technique*, 2008, 272(9): 87 – 90.)
- [12] YAO C Y, YEH C C. An application of the second-order passive lead-lag loop filter for analog PLLs to the third-order charge-pump PLLs[J]. *IEEE Transactions on Industrial Electronics*, 2008, 55(2): 972 – 974.
- [13] YE Y F, ZHANG M, CHEN J N. Analysis and simulation three order charge pump phase locked loop[C] // *Proceedings of International Conference on Wireless Communications, Networking and Mobile Computing*. New York: IEEE, 2008: 2338 – 2340.
- [14] RAGHAVENDRA R G, AMRUTUR B. Area efficient loop filter design for charge pump phase locked loop[C] // *Proceedings of the 2007 ACM Great Lakes Symposium on VLSI*. New York: Association for Computing Machinery, 2007: 148 – 151.
- [15] CARLOSENA A. General method for phase-locked loop filter analysis and design[J]. *IET Circuits, Devices and Systems*, 2008, 2(2): 249 – 256.
- [16] 严杰锋. 电荷泵锁相环的模型研究和电路设计[D]. 上海: 复旦大学, 2006.  
(YAN Jiefeng. *Modeling and design of charge pump phase-locked loops*[D]. Shanghai: Fudan University, 2006.)
- [17] 郑大钟. 线性系统理论[M]. 北京: 科学出版社, 1990.  
(ZHENG Dazhong. *Linear System Theory*[M]. Beijing: Science Press, 1990.)
- [18] RAPINOJA T, STADIUS K, HALONEN K. Behavioral model based simulation methods for charge-pump PLL's[C] // *Proceedings of the 2006 International Baltic Electronics Conference*. New York: IEEE, 2006: 111 – 114.

## 作者简介:

**赵益波** (1972—), 男, 讲师, 博士研究生, 研究方向为锁相环的分析与设计、高频开关电源及切换线性系统的建模与分析等, E-mail: zhyb26@yahoo.com.cn;

**冯久超** (1964—), 男, 教授, 博士生导师, 研究方向为数字信号处理、数字通信、非线性动力学及混沌理论与应用, E-mail: fengjc@scut.edu.cn.